

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-197427

(43)Date of publication of application : 11.07.2003

(51)Int.Cl.

H01F 17/00  
H01F 17/04

(21)Application number : 2001-392940

(71)Applicant : TDK CORP

(22)Date of filing : 25.12.2001

(72)Inventor : SATO JUN  
TAKATANI MINORU  
ABE TOSHIYUKI

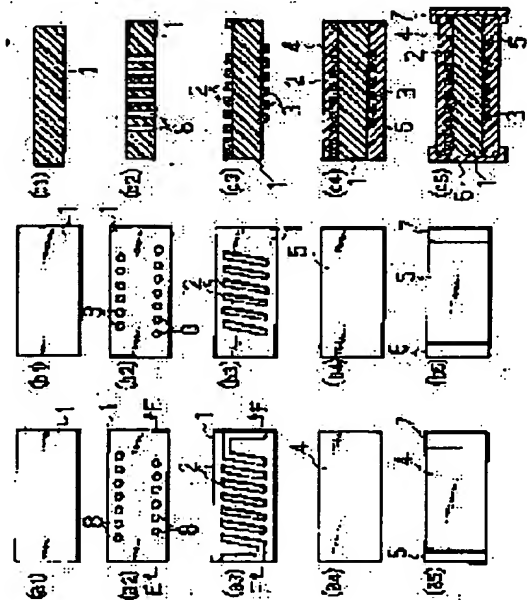
## (54) INDUCTANCE ELEMENT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an inductance element, where electrical characteristics can be changed into narrow tolerance and a high Q value.

**SOLUTION:** Two rows of through-holes 8 are formed in a first layer 1 made of a composite material consisting of function material powder mixed with resin, or resin.

Conductor patterns 2 and 3 are formed so that the through-holes 8 and 8 in different rows are connected on the upper and lower surfaces of the first layer 1. A helical coil is composed in the surface direction of the first layer 1 with a conductor in the through-hole 8 and the conductor patterns 2 and 3. Second layers 4 and 5 are formed by the composite material or resin so as to cover each of the upper and lower conductor patterns 2 and 3. Each of terminal electrode 6 and 7 is provided by connecting to both the ends of the coil.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2003-197427

(P 2003-197427 A)

(43) 公開日 平成15年7月11日 (2003. 7. 11)

(51) Int. Cl. 7

H01F 17/00  
17/04

識別記号

F I

H01F 17/00  
17/04

テマコード (参考)

C 5E070  
A  
F

審査請求 未請求 請求項の数 4

○ L

(全 8 頁)

(21) 出願番号 特願2001-392940 (P2001-392940)

(22) 出願日 平成13年12月25日 (2001. 12. 25)

(71) 出願人 000003067

ティーディーケイ株式会社  
東京都中央区日本橋1丁目13番1号

(72) 発明者 佐藤 淳

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(72) 発明者 高谷 稔

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(74) 代理人 100081569

弁理士 若田 勝一

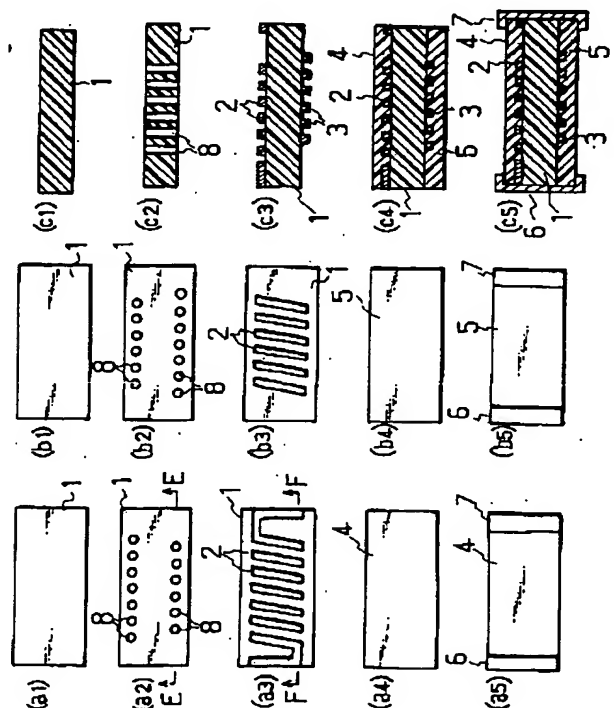
最終頁に続く

(54) 【発明の名称】 インダクタンス素子

(57) 【要約】

【課題】 電気的特性の狭公差化、高Q値化が得られるインダクタンス素子を提供することを目的とする。

【解決手段】 機能材料粉末と樹脂とを混合した複合材料または樹脂でなる第1の層1に2列にスルーホール8を形成する。第1の層1の上下面において異なる列のスルーホール8、8間を連絡するように導体パターン2、3を形成する。スルーホール8内導体と導体パターン2、3と共に第1の層1の面方向にヘリカル状のコイルを構成する。上下の導体パターン2、3をそれぞれ覆うように前記複合材料または前記樹脂により第2の層4、5を形成する。コイルの両端に接続してそれぞれ端子電極6、7を設ける。



## 【特許請求の範囲】

【請求項 1】機能材料粉末と樹脂とを混合した複合材料または樹脂でなる第 1 の層に 2 列に形成されたスルーホールと、

前記第 1 の層の上下面において異なる列のスルーホール間を連絡するように形成されて前記スルーホール内導体と共に第 1 の層の面方向にヘリカル状のコイルを構成する導体パターンと、

該上下の導体パターンをそれぞれ覆うように前記複合材料または前記樹脂により形成された第 2 の層と、

前記コイルの両端に接続してそれぞれ設けられた端子電極とからなることを特徴とするインダクタンス素子。

【請求項 2】機能材料粉末と樹脂とを混合した複合材料または樹脂でなる第 1 の層の互いに対向する 2 つの側面に、導体内蔵のスルーホールの切断により形成された導体と、

前記第 1 の層の上下面において前記対向する側面の導体間を連絡するように形成されて前記側面の導体と共に第 1 の層の面方向にヘリカル状のコイルを構成する導体パターンと、

該上下の導体パターンをそれぞれ覆うように前記複合材料または前記樹脂により形成された第 2 の層と、

前記コイルの両端に接続してそれぞれ設けられた端子電極とからなることを特徴とするインダクタンス素子。

【請求項 3】請求項 1 または 2 に記載のインダクタンス素子において、

前記第 1 の層と第 2 の層との間に、前記第 1 の層および第 2 の層より低誘電率の第 3 の層を設け、該第 3 の層により前記導体パターンを覆ったことを特徴とするインダクタンス素子。

【請求項 4】請求項 1 から 3 までのいずれかに記載のインダクタンス素子において、

前記導体パターンは、シート状に設けられた導体にレーザ加工によってスリットを設けることにより形成されていることを特徴とするインダクタンス素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、機能材料粉末と樹脂とを混合した複合材料または樹脂を用いて構成されるインダクタンス素子に関する。

## 【0002】

【従来の技術】従来のインダクタンス素子の一例として、機能材料粉末と樹脂とを混合した複合材料または樹脂からなるコア基板の表裏面にフォトリソ工法を用いてスパイラル状にコイルを形成したものがあ

る。1-154611号公報には、絶縁基体としてフェライト粉末と樹脂の複合材料を用いたものが開示されている。

【0003】さらに他の従来例として、図8に示すように、コア基板50の両側に銅箔を張り、フォトリソ工法を用いて導体パターンを形成すると共に、その両側の導体パターンを接続し、さらにその両側にブリブレッグと銅箔を重ねて前記導体パターンに接続された導体パターンを形成することにより、矢印Xで示す積層方向に巻上げられたヘリカル状のコイル51を構成し、最後に端子電極52を重ねて切断するという工程により製造されるものがある。

## 【0004】

【発明が解決しようとする課題】前記従来のインダクタンス素子のうち、スパイラル状にコイルを形成したものは、フォトリソ工法を用いているので、パターン精度が高くとれ、インダクタンス値の狭公差化は図れるものの、コイル形状がスパイラル状をなすことから、自己共振周波数とQ値が低いという問題点がある。

20 【0005】一方、前記のように導体パターンを積層方向に多層積層してヘリカル状のコイルを形成したものは、Q値は高くとれるが、多層構造であるため、各層間の導体パターンの位置合わせを高精度に行うことが困難であるため、狭公差化が図れないという問題点がある。

【0006】また、図8に示すように、最初にコア基板50を準備するものは、強度を確保する必要上、ガラス繊維を混入するため、ある程度の厚みを必要とし、このため、この中央のコア基板50の両側の導体間の間隔が他の部分の間隔より大きくなるため、図示のように、発生磁束53がこのコア基板50の両側で2つに別れ、これがQ値を低くする原因となる。

【0007】本発明の目的は、上記の実情に鑑み、電気的特性の狭公差化、高Q値化が得られるインダクタンス素子を提供することを目的とする。また本発明は、自己共振周波数の高周波化が図れるインダクタンス素子を提供することを他の目的とする。

## 【0008】

【課題を解決するための手段】請求項1のインダクタンス素子は、機能材料粉末と樹脂とを混合した複合材料または樹脂でなる第1の層に2列に形成されたスルーホールと、前記第1の層の上下面において異なる列のスルーホール間を連絡するように形成されて前記スルーホール内導体と共に第1の層の面方向にヘリカル状のコイルを構成する導体パターンと、該上下の導体パターンをそれぞれ覆うように前記複合材料または前記樹脂により形成された第2の層と、前記コイルの両端に接続してそれぞれ設けられた端子電極とからなることを特徴とする。

【0009】このような構成とすれば、導体パターンはフォトリソ工法等のようにパターン精度の高い形成工程によって実現できる上、第1の層（コア基板）の平坦部

に導体パターンが形成されるので、導体パターンの位置精度が高められ、多層積層による場合のパターンのずれによる特性のばらつきが少ないため、電気的特性の狭公差化が達成できる。また、積層工程でヘリカル状コイルを構成するのではなく、平面的導体パターンの形成によってコイルを構成するので、コイルを短時間で構成できる上、電気的特性の狭公差化により、特性調整のためのトリミングが不要となるので、コストダウンが図れる。

【0010】また、コイルに流れる電流による磁束が第1の層（コア基板）の面方向に通る構成であり、隣接するコイル用導体間

の間の間隔を一定にすることができる上、前記のように導体パターンの位置精度を高めることができ、さらにQ値の小さい樹脂または複合材料を用いることが可能であるため、Q値を向上させることができる。

【0011】請求項2のインダクタンス素子は、機能材料粉末と樹脂とを混合した複合材料または樹脂でなる第1の層の互いに対向する2つの側面に導体内蔵のスルーホール

の切断により形成された導体と、前記第1の層の上下面において前記対向する側面の導体間を連絡するように形成されて前記側面の導体と共に第1の層の面方向にヘリカル状のコイルを構成する導体パターンと、該上下の導体パターンをそれぞれ覆うように前記複合材料または前記樹脂により形成された第2の層と、前記コイルの両端に接続してそれぞれ設けられた端子電極とからなることを特徴とする。

【0012】このように、コイル形成用の導体パターンを対向する側面間に形成することにより、コイル導体を長く形成することが可能となり、さらなるQ値の向上およびインダクタンス値の向上が図れる。

【0013】請求項3のインダクタンス素子は、請求項1または2において、前記第1の層と第2の層との間に、前記第1の層および第2の層より低誘電率の第3の層を設け、該第3の層により前記導体パターンを覆ったことを特徴とする。

【0014】このように、低誘電率の第3の層を設けることにより、隣接するコイル導体間の容量結合を防止することができ、自己共振周波数が高くなり、電気的特性の高周波化が図れる。

【0015】請求項4のインダクタンス素子は、請求項1から3までのいずれかにおいて、前記導体パターンは、シート状に設けられた導体にレーザ加工によってスリットを設けることにより形成されていることを特徴とする。

【0016】このように、コイルの導体パターンをレーザ加工によって形成することにより、狭いコイル導体間隔も形成可能となり、小型化が図れる。

【0017】

【発明の実施の形態】図1(A)は本発明によるインダクタンス素子の一実施の形態を示す断面図、である。図1(A)において、1は機能材料粉末と樹脂とを混合し

てなる複合材料または樹脂でなる第1の層、2、3はその表裏面に設けられた導体パターンであり、これらの導体パターン2、3はそれぞれ両端が対応する導体パターンの端部に不図示のスルーホール内導体を介して接続されることにより、第1の層1の面方向（紙面における左右方向）に巻上げられたコイルを構成する。

【0018】4、5はこれらの導体パターン2、3を覆うように第1の層1の表裏面に重ねて形成された第2の層であり、該第2の層4、5も複合材料または樹脂を用いて形成される。6、7はこの素子の両端に設けられた端子電極であり、これらの端子電極6、7は、前記導体パターン2、3やスルーホール導体により構成されるコイルの両端に接続される。

【0019】図2は図1(A)のインダクタンス素子の製造工程図であり、多数個取りされる素材の各工程において、それぞれ素子1個分について示している。図2において、(a1)～(a5)は素材の表面を示し、(b1)～(b5)は素材の裏面を示し、(c1)～(c5)は断面を示す。これらの図は左右に並べた図がそれぞれ対応している。(c2)、(c3)はそれぞれ(a2)、(a3)のE-E、F-F断面図である。

【0020】(a1)～(c1)に示す第1の層1には、磁性粉末としてのフェライト粉末とエポキシ樹脂とを混合した複合材料を用い、その硬化後のコア基板の厚みを0.4mmとした。このコア基板に、(a2)～(c2)に示すように、レーザ加工により0.07mmの直径のスルーホール8を片側に7個、他側に6個、2列に並ぶように設けた。

【0021】次に(a3)～(c3)に示すように、フォトリソ工法を用いて、銅により導体幅0.04mm、厚み0.04mmの導体パターン2、3を形成する。また、スルーホール8内にも銅をめっきにより形成し、これにより第1の層1の面方向に巻上げられたヘリカル状のコイルを構成した。

【0022】次に(a4)～(c4)に示すように、磁性粉末としてのフェライト粉末とエポキシ樹脂とを混合した複合材料をコア基板（第1の層）1の表裏面に印刷して覆い、硬化させた後、(a5)～(c5)に示すように端子電極6、7を設けた。

【0023】図3は前記端子電極6、7の形成工程を素子2個分の領域について示す図である。図3(A)に示すように、前述のように第2の層4、5を設けた素材9において、点線で示す前記導体パターン2、3やスルーホール8からなる素子形成領域10の両側にダイサーあるいはレーザによりスリット11を設ける。

【0024】次に図3(B)に示すように、スリット11以外の部分にレジスト12を塗布し、スリット11内を含めて無電解メッキにより薄く銅膜を形成した後、レジスト12を塗布した領域以外に電解メッキにより銅膜を厚く形成する。その後、スリット11を形成した部分

にあたる縦の切断線13aと、前記コイルの形成領域の両側に位置する横の切断線13bに沿って切断することにより、個々のチップを得る。

【0025】図4は前述のようにして、縦横の寸法が0.8mm×1.6mm、厚みが0.65mmのチップを構成したものについて、周波数(f)－インピーダンス(Z)特性を測定した結果を、「本発明1」で示す曲\*

	Z値 at 1GHz	Z値ばらつき 変動係数 3 $\sigma$ /AVE*100%	自己共振周波数
従来例	307 $\Omega$	5.73%	2.94GHz
本発明1	359 $\Omega$	1.52%	2.71GHz
本発明2	352 $\Omega$	1.49%	4.14GHz

【0027】図4および表1から分かるように、本発明による場合、ほぼ1GHz弱以上の周波数帯域において、従来例より大きなインピーダンス値（インダクタンス値）が得られる。また、表1から分かるように、インピーダンス値のばらつきが大幅に小さくなり、電気的特性の狭公差化が達成できる。このように、電気的特性の狭公差化により、特性調整のためのトリミングが不要となるとともに、コイルを平面上に短時間で構成できるので、コストダウンが図れる。

【0028】また、コイルに流れる電流による磁束が第1の層1の面方向に通る構成であり、隣接するコイル用導体間の間隔を一定にすることができる上、前記のように導体パターン2、3の位置精度を高めることができ、さらにQ値の小さい樹脂または複合材料を用いることが可能であるため、Q値を向上させることができる。

【0029】なお、図1(A)、図2、図3に示した構造、製造工程を同一とし、第1の層1と第2の層4、5の材料を、誘電体粉末としてのシリカ粉末とビニルベンジル樹脂とを混合した低誘電率複合材料に換えて製造したインダクタンス素子を作製した。

【0030】このようなインダクタンス素子は、前記例と同様にインダクタンス特性が狭公差化される。また、低誘電率の複合材料により素子を構成したので、自己共振周波数がより高くなる。また、ビニルベンジル樹脂がエポキシ樹脂より誘電損失が小さいため、高Q特性のインダクタンス素子を得ることができる。

【0031】図1(B)は本発明によるインダクタンス素子の他の実施の形態を示す断面図、図5はその製造工程を示す図である。本実施の形態においては、図1

(B)に示すように、前記第1の層1と第2の層4、5との間に、前記第1の層1および第2の層4、5より低誘電率の第3の層14、15を設け、該第3の層14、15により前記導体パターン2、3を覆ったものである。

【0032】図5の工程図において、(a1)～(a6)は素材の表面を示し、(b1)～(b6)は素材の裏面を示し、(c1)～(c6)は断面を示す。図5の

\*線として、同様の寸法に構成した図8の「従来例」で示す曲線と比較して示す。また、表1は1GHzにおけるインピーダンス値(Z値)と、インピーダンス値のばらつき(変動係数)と、自己共振周波数を示す。

【0026】

【表1】

実施の形態においては、第1の層1に磁性粉末としてのフェライト粉末とエポキシ樹脂とを混合した複合材料を用い、その硬化後のコア基板の厚みを0.4mmとした。このコア基板に、(a2)～(c2)に示すように、レーザ加工により0.07mmの直径のスルーホール8を前述の場合と同様に片側に7個、他側に6個、2列に並ぶように設けた。

【0033】次に(a3)～(c3)に示すように、フォトリソ工法を用いて、銅により導体幅0.04mm、厚み0.04mmの導体パターン2、3を形成する。また、スルーホール8内にも銅をめっきにより形成し、これにより第1の層1の面方向に巻上げられたヘリカル状のコイルを構成した。

【0034】次に(a4)～(c4)に示すように、低誘電率複合材料としてのシリカ粉末とビニルベンジル樹脂との混合材料を前記導体パターン2、3を覆うように印刷し、乾燥することにより、第3の層14、15を形成した。

【0035】次に(a5)～(c5)に示すように、磁性粉末としてのフェライト粉末とエポキシ樹脂とを混合した複合材料をコア基板(第1の層)1およびの表裏面に印刷して覆い、硬化させた後、(a6)～(c6)に示すように、図3に示した工程により端子電極6、7を設けた。

【0036】このような構造とすれば、第3の層14、15が低誘電率であることから、導体パターン2、3の隣接する導体間の容量結合が低減されるため、図4と表1に「本発明2」として示すように、自己共振周波数が高くなり、かつより高い周波数帯域まで高いインピーダンス値を得ることが可能となった。

【0037】図6は本発明によるインダクタンス素子その他の実施の形態を示す製造工程図である。図6においても、(a1)～(a5)は素材の表面を示し、(b1)～(b5)は素材の裏面を示し、(c1)～(c5)は断面を示す。本実施の形態が図3のものとは異なる点は、スルーホール8Aを楕円形状(長孔でもよい)にして対向する両側面となる箇所(すなわち図3に示す素

材 9 の切断線 13 b に沿って切断される箇所) に複数個ずつ形成し、そのスルーホール 8 A の内部に銅をメッキにより形成すると共に、スルーホール 8 A、8 A 間を接続するように導体パターン 2 A、3 A を設けてコイルを構成したものである。素材の切断により、スルーホール 8 A はその中央部で切断されるため、チップ状態では側面電極 16 として残る。この場合も、層 1、4、5 の材料としては、前記磁性粉末または誘電体粉末と樹脂との混合材料を用いることができ、また、図 5 のように第 3 の層 14、15 を設ける構造にも適用できる。

【0038】このように構成すれば、特性の狭公差化は勿論のこと、導体パターン 2 A、3 A を長くすることができるので、高いインダクタンス値が得られ、高い Q 値のインダクタンス素子が得られる。また、シリカ粉末とビニルベンジル樹脂との混合材料を層 1、4、5 に用いることにより、高い共振周波数のものが得られる。図 5 に示したような第 3 の層 14、15 を有する構造を図 6 のインダクタンス素子にも適用することができる。

【0039】図 7 は本発明によるインダクタンス素子の他の実施の形態を示す製造工程図である。図 7 において、(a1) ~ (a6) は素材の表面を示し、(b1) ~ (b6) は素材の裏面を示し、(c1) ~ (c6) は断面を示す。図 7 の実施の形態が図 2 のものと異なる点は、(a3) ~ (c3) に示すように、コア基板 1 の表裏面にフォトリソ工法またはエッチングにより平板状の導体パターン 17、18 を形成した後、(a4) ~ (c4) に示すように、レーザ加工により切り込み 19、20 を入れて導体パターン 2、3 を形成したことにある。

【0040】このようにレーザ加工によって導体パターン 2、3 を形成すれば、導体パターンの間隔を狭くできるため、インダクタンス値、Q 値ともに高くすることができる。なお、図 5、図 6 の構造を図 7 のインダクタンス素子にも適用することができる。

【0041】本発明を実施する場合、樹脂としては、前記のもの以外に、BT レジン、ポリイミド樹脂、フェノール樹脂、フッ素樹脂あるいはその他の樹脂を用いることができる。また、樹脂または複合材料中には、必要に応じて補強のためのガラス繊維を設けてもよい。また、導体パターン 2、3 の形成は、フォトリソ工法やエッチング以外にスパッタリングや CVD 等によっても形成することができる。また、複合材料に混合する機能材料としては、フェライトやシリカ以外のガラス系セラミック、フォスフェイト系セラミック、チタン酸系セラミック等の粉末を使用することができる。

【0042】

【発明の効果】請求項 1 によれば、第 1 の層 (コア基

板) の平坦部にフォトリソ法等により導体パターンが形成されるので、電気的特性の狭公差化が達成できる。また、積層工程でヘリカル状コイルを構成するのではなく、平面的導体パターンの形成によってコイルを構成するので、コイルを短時間で構成できる上、電気的特性の狭公差化により、特性調整のためのトリミングが不要となるので、コストダウンが図れる。

【0043】また、前記のように導体パターンの位置精度を高めることができる上、Q 値の小さい樹脂または複合材料を用いることが可能であるため、Q 値を向上させることができる。

【0044】請求項 2 によれば、コイル形成用の導体パターンを対向する側面間に形成することにより、コイル導体を長く形成することが可能となり、さらなる Q 値の向上およびインダクタンス値の向上が図れる。

【0045】請求項 3 によれば、低誘電率の第 3 の層を設けたので、隣接するコイル導体間の容量結合を防止することができ、自己共振周波数が高くなり、電気的特性の高周波化が図れる。

【0046】請求項 4 によれば、コイルの導体パターンをレーザ加工によって形成することにより、狭いコイル導体間隔も形成可能となり、小型化が図れる。

【図面の簡単な説明】

【図 1】(A)、(B) はそれぞれ本発明によるインダクタンス素子の実施の形態を示す断面図である。

【図 2】図 1 (A) のインダクタンス素子の製造工程図である。

【図 3】図 1 (A) のインダクタンス素子の端子電極の形成工程図である。

【図 4】従来のインダクタンス素子と本発明のインダクタンス素子の周波数特性を対比して示す図である。

【図 5】図 1 (B) のインダクタンス素子の製造工程図である。

【図 6】本発明のインダクタンス素子の他の実施の形態を示す製造工程図である。

【図 7】本発明のインダクタンス素子の他の実施の形態を示す製造工程図である。

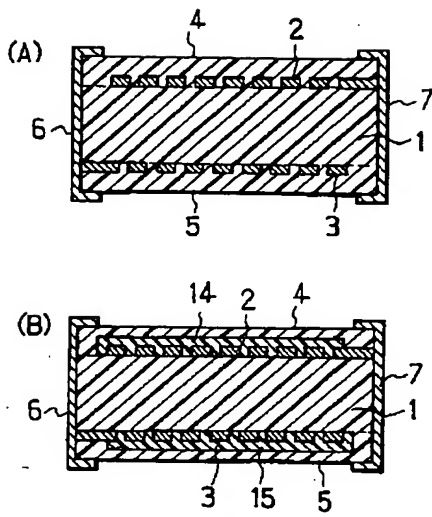
【図 8】従来のインダクタンス素子の断面図である。

【符号の説明】

1 : 第 1 の層、2、2 A、3、3 A : 導体パターン、4、5 : 第 2 の層、6、7 : 端子電極、8、8 A : スルーホール、9 : 素材、10 : 素子形成領域、11 : スリット、12 : レジスト、13 a、13 b : 切断線、14、15 : 第 3 の層、16 : 側面導体、17、18 : 導体パターン、19、20 : スリット

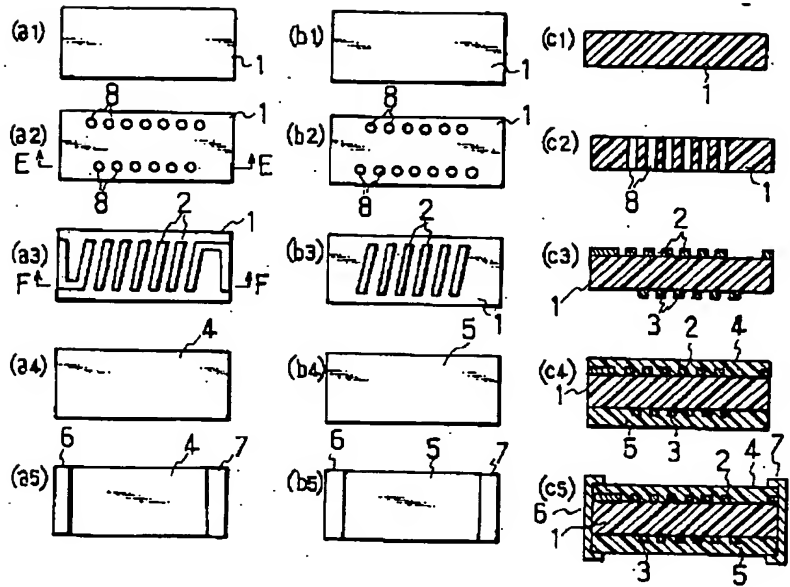


【図1】

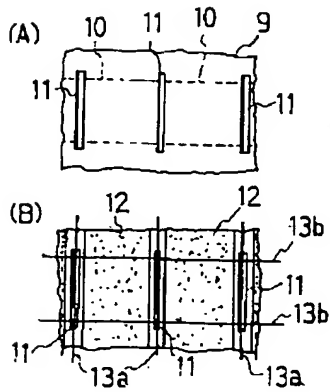


1: 第1の層  
2, 3: 導体パターン  
4, 5: 第2の層  
6, 7: 端子電極  
14, 15: 第3の層

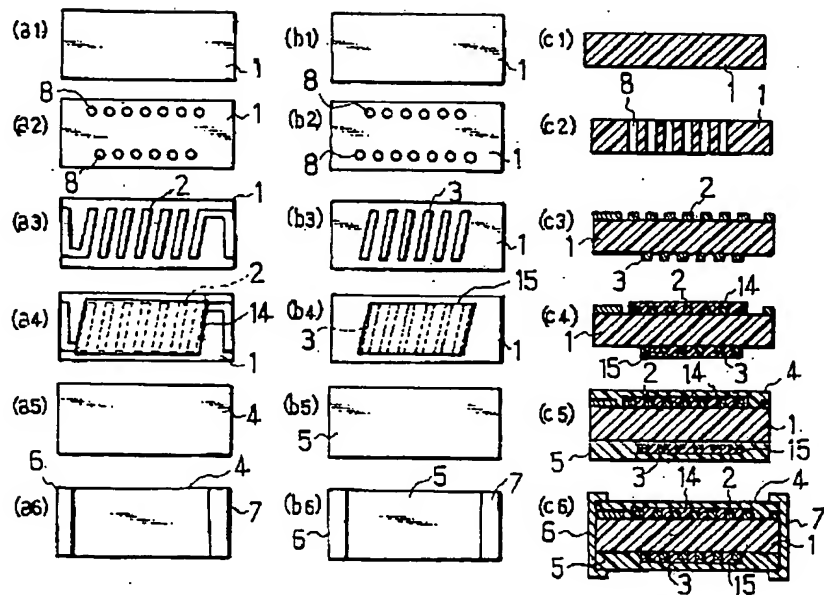
【図2】



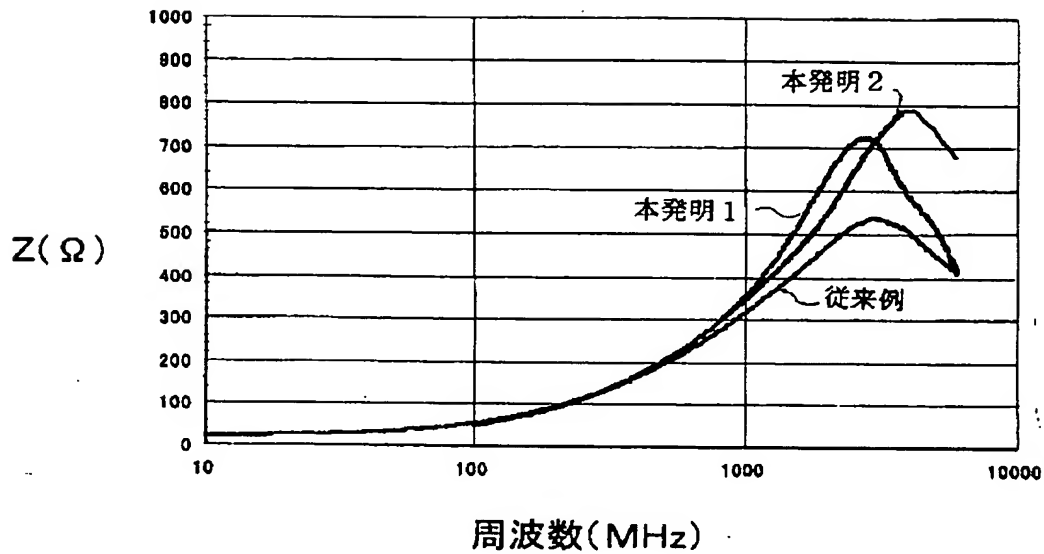
【図3】



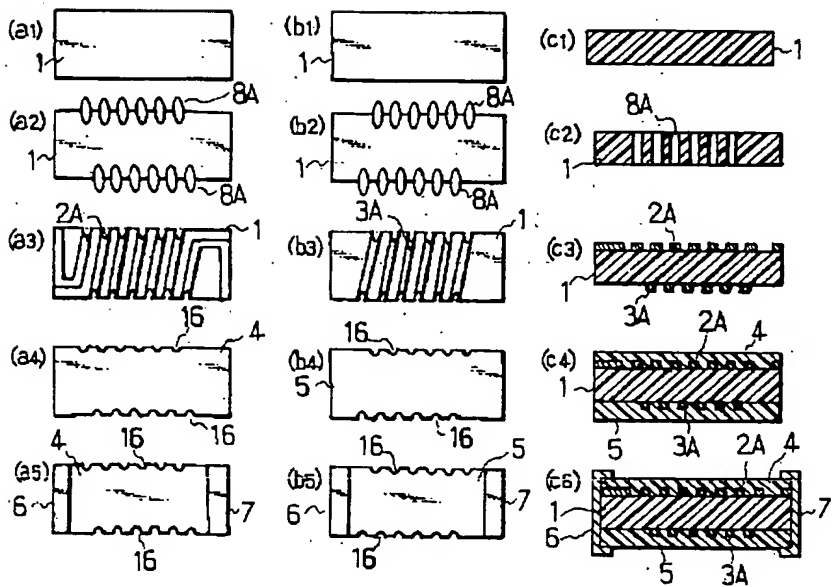
【図5】



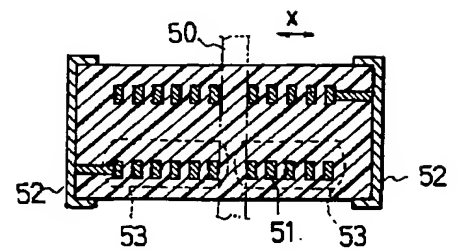
【図4】



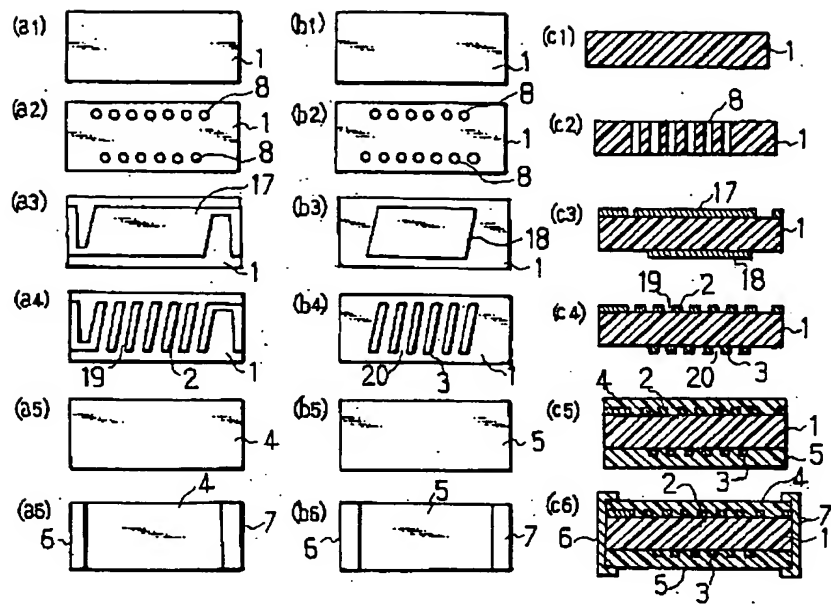
【図6】



【図8】



【図7】



フロントページの続き

(72) 発明者 阿部 寿之  
 東京都中央区日本橋一丁目13番1号 ティ  
 ーディーケー株式会社内

Fターム(参考) 5E070 AA01 CC10